

**THOMSON**  
\*  
**DELPHION**

RESEARCH

PRODUCTS

INSIDE DELPHION

By Amount | Products

Search: [Company](#) | [Patents](#) | [Products](#) | [Advanced Search](#)

## The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Work File](#)View: [INPADOC](#) | Jump to: [Top](#)  Go to: [Derwent](#) Title: **JP10229674A2: DC-DC CONVERTER**

Derwent Title: DC=DC converter with overcurrent control function - has correction resistor for correction of predetermined source voltage, which is connected to one terminal of DC power supply through Zener diode and to one terminal of capacitor [\[Derwent Record\]](#)

Country: **JP Japan**Kind: **A**Inventor: **USUI HIROSHI;**

Assignee: **SANKEN ELECTRIC CO LTD**  
[News, Profiles, Stocks and More about this company](#)

Published / Filed: **1998-08-25 / 1997-02-14**

Application Number: **JP1997000047404**

IPC Code: **H02M 3/28; H02M 1/08; H02M 3/335;**Priority Number: **1997-02-14 JP1997000047404**

Abstract:

PROBLEM TO BE SOLVED: To lessen changes at the time of shifting to frequency control, based on the ripple of input voltage, in a DC-DC converter of a type such that it narrows the width of control pulses in the first place at the time of overcurrent, and then controls the frequency of the control pulses.

SOLUTION: A series circuit consisting of a primary winding 7 of a transistor 3 and a switching element 2 is connected between one end and the other end of a DC power source 1. PWM pulses (switch control pulses) are sent from a control circuit 17 to a switching element 2. The PWM pulses are averaged with a capacitor 19, via a resistor 18. A resistor 61 is connected between the power source 1 and a capacitor 19, so as to perform compensation by power voltage.

COPYRIGHT: (C)1998,JPO

Family: **None**

Other Abstract Info: **DERABS G98-517655 DERG98-517655**

[Nominate](#)[this for the Gallery...](#)

**THIS PAGE BLANK (USPTO)**

202-51030

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229674

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>9</sup>  
H 0 2 M 3/28

識別記号

F I  
H 0 2 M 3/28

H  
C  
Q  
B

1/08 3 0 1  
3/335

1/08 3 0 1 B  
3/335 B

審査請求 未請求 請求項の数 6 F D (全 11 頁)

(21) 出願番号 特願平9-47404

(22) 出願日 平成9年(1997) 2月14日

(71) 出願人 000106276

サンケン電気株式会社  
埼玉県新座市北野3丁目6番3号

(72) 発明者 白井 浩

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

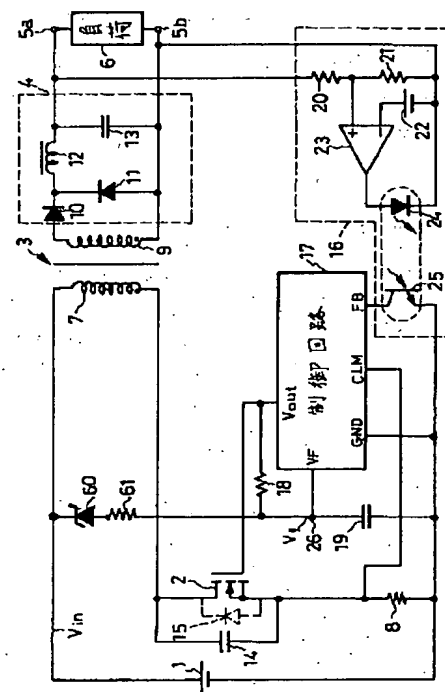
(74) 代理人 弁理士 高野 則次

(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】 正常時には一定周波数のPWMパルスでスイッチング素子をオン・オフ制御し、過電流時に電流を制限するようにパルス幅を制御し、しかる後パルスの平均値が所定レベルよりも低くなったらスイッチング素子のオン・オフ周波数を下げるように構成されたDC-DCコンバータにおいて、過電流におけるパルス幅制御から周波数制御への切換え時点が電源電圧の変動により変化し、スイッチング素子が破壊する恐れがあった。

【解決手段】 直流電源1の一端と他端との間にトランス3の1次巻線7とスイッチング素子2の直列回路を接続する。制御回路17からスイッチング素子2にPWMパルスを送る。PWMパルスを抵抗18を介してコンデンサ19で平均化する。電源電圧による補正を行うために電源1とコンデンサ19との間にツェナーダイオード60を介して抵抗61を接続する。



【特許請求の範囲】

【請求項 1】 直流電源と、

制御パルスにตอบสนองして前記直流電源の直流電圧を断続するためのスイッチング素子を含む変換回路と、  
前記スイッチング素子の断続に基づいて得られた電圧を整流平滑するための出力整流平滑回路と、  
前記出力整流平滑回路の出力電圧又はこの出力電圧に対応している電圧を検出して出力電圧制御信号を形成する出力電圧制御信号形成回路と、  
前記スイッチング素子の電流又は前記出力整流平滑回路に接続された負荷の電流を検出する電流検出手段と、  
過電流レベルを示す過電流検出用基準電圧を発生する過電流検出用基準電圧源と、  
前記過電流検出用基準電圧と前記電流検出手段から得られた電流検出電圧とを比較し、前記電流検出電圧が前記過電流検出用基準電圧以上になったか否かを示す出力を発生する過電流検出比較器と、  
前記スイッチング素子をオン・オフするために前記スイッチング素子の制御端子に供給する制御パルスの平均値を求めるために前記制御パルスの伝送ラインとグラウンドとの間に抵抗を介して接続された平均値用コンデンサと、  
前記制御パルスの平均値の所定レベルを示す平均値レベル検出用基準電圧を発生する平均値レベル検出用基準電圧源と、  
前記平均値用コンデンサから得られた平均値と前記平均値レベル検出用基準電圧とを比較し、前記平均値が前記平均値レベル検出用基準電圧以下になったか否かを示す出力を発生する平均値検出比較器と、  
前記過電流検出比較器から過電流を示す出力が発生していない時には、前記出力電圧制御信号形成回路から得られた前記出力電圧制御信号にตอบสนองして前記出力電圧を一定に制御するための実質的に一定周波数の PWM パルスから成る制御パルスを形成して前記スイッチング素子をオン・オフ制御し、前記過電流検出器から過電流を示す出力が発生した時には、前記電流検出電圧が前記過電流検出用基準電圧よりも高くなることを制限するように前記制御パルスの幅を制御し、前記過電流検出器から過電流を示す出力が得られ且つ前記平均値検出比較器から前記平均値が前記平均値レベル検出用基準電圧以下であることを示す出力が得られた時には、前記平均値に基づいて前記制御パルスの相互間隔を制御するように構成された制御パルス発生手段とを備えた DC-DC コンバータにおいて、  
前記直流電源の一端と前記平均値用コンデンサとの間に平均値補正用抵抗が接続されていることを特徴とする DC-DC コンバータ。

【請求項 2】 前記直流電源の電圧が所定値以上になった時に導通するツェナーダイオードが前記平均値補正用抵抗に直列に接続されていることを特徴とする請求項 1

記載の DC-DC コンバータ。

【請求項 3】 直流電源と、

前記直流電源の一端と他端との間に接続されたトランスの 1 次巻線とスイッチング素子との直列回路と、  
前記トランスの 2 次巻線に接続された出力整流平滑回路と、  
前記出力整流平滑回路の出力電圧又はこの出力電圧に対応している電圧を検出して出力電圧制御信号を形成する出力電圧制御信号形成回路と、  
前記スイッチング素子の電流又は前記出力整流平滑回路に接続された負荷の電流を検出する電流検出手段と、  
過電流レベルを示す過電流検出用基準電圧を発生する過電流検出用基準電圧源と、  
前記過電流検出用基準電圧と前記電流検出手段から得られた電流検出電圧とを比較し、前記電流検出電圧が前記過電流検出用基準電圧以上になったか否かを示す出力を発生する過電流検出比較器と、  
前記スイッチング素子をオン・オフするために前記スイッチング素子の制御端子に供給する制御パルスの平均値を求めるために前記制御パルスの伝送ラインとグラウンドとの間に抵抗を介して接続された平均値用コンデンサと、  
前記制御パルスの平均値の所定レベルを示す平均値レベル検出用基準電圧を発生する平均値レベル検出用基準電圧源と、  
前記平均値用コンデンサから得られた平均値と前記平均値レベル検出用基準電圧とを比較し、前記平均値が前記平均値レベル検出用基準電圧以下になったか否かを示す出力を発生する平均値検出比較器と、  
前記過電流検出比較器から過電流を示す出力が発生していない時には、前記出力電圧制御信号形成回路から得られた前記出力電圧制御信号にตอบสนองして前記出力電圧を一定に制御するための実質的に一定周波数の PWM パルスから成る制御パルスを形成して前記スイッチング素子をオン・オフ制御し、前記過電流検出器から過電流を示す出力が発生した時には、前記電流検出電圧が前記過電流検出用基準電圧よりも高くなることを制御するように前記制御パルスの幅を制御し、前記過電流検出器から過電流を示す出力が得られ且つ前記平均値検出比較器から前記平均値が前記平均値レベル検出用基準電圧以下であることを示す出力が得られた時には、前記平均値に基づいて前記制御パルスの相互間隔を制御するように構成された制御パルス発生手段とを備えた DC-DC コンバータにおいて、  
前記トランスの 3 次巻線と、  
前記 3 次巻線の電圧を整流平滑するための補正用整流平滑回路と、  
前記補正用整流平滑回路と前記平均値用コンデンサとの間に接続された補正充電用抵抗とを備えていることを特徴とする DC-DC コンバータ。

【請求項4】 前記補正用整流平滑回路の出力電圧が所定値以上の時に導通するツェナーダイオードが前記補正充電用抵抗に直列に接続されていることを特徴とする請求項3記載のDC-DCコンバータ。

【請求項5】 直流電源と、制御パルスにตอบสนองして前記直流電源の直流電圧を断続するためのスイッチング素子を含む変換回路と、

前記スイッチング素子の断続に基づいて得られた電圧を整流平滑するための出力整流平滑回路と、

前記出力整流平滑回路の出力電圧又はこの出力電圧に対応している電圧を検出して出力電圧制御信号を形成する出力電圧制御信号形成回路と、

前記スイッチング素子の電流又は前記出力整流平滑回路に接続された負荷の電流を検出する電流検出手段と、

過電流レベルを示す過電流検出用基準電圧を発生する過電流検出用基準電圧源と、

前記過電流検出用基準電圧と前記電流検出手段から得られた電流検出電圧とを比較し、前記電流検出電圧が前記過電流検出用基準電圧以上になったか否かを示す出力を発生する過電流検出比較器と、

前記スイッチング素子をオン・オフするために前記スイッチング素子の制御端子に供給する制御パルスの平均値を求めるために前記制御パルスの伝送ラインとグランドとの間に抵抗を介して接続された平均値用コンデンサと、

前記制御パルスの平均値の所定レベルを示す平均値レベル検出用基準電圧を発生する平均値レベル検出用基準電圧源と、

前記平均値用コンデンサから得られた平均値と前記平均値レベル検出用基準電圧とを比較し、前記平均値が前記平均値レベル検出用基準電圧以下になったか否かを示す出力を発生する平均値検出比較器と、

前記過電流検出比較器から過電流を示す出力が発生していない時には、前記出力電圧制御信号形成回路から得られた前記出力電圧制御信号にตอบสนองして前記出力電圧を一定に制御するための実質的に一定周波数のPWMパルスから成る制御パルスを形成して前記スイッチング素子をオン・オフ制御し、前記過電流検出器から過電流を示す出力が発生した時には、前記電流検出電圧が前記過電流検出用基準電圧よりも高くなることを制限するように前記制御パルスの幅を制御し、前記過電流検出器から過電流を示す出力が得られ且つ前記平均値検出比較器から前記平均値が前記平均値レベル検出用基準電圧以下であることを示す出力が得られた時には、前記平均値に基づいて前記制御パルスの相互間隔を制御するように構成された制御パルス発生手段とを備えたDC-DCコンバータにおいて、

前記平均値用コンデンサに並列に接続された可変抵抗回路と、

前記可変抵抗回路の抵抗値を前記出力整流平滑回路の出

力電圧に比例的に制御する手段とを備えたDC-DCコンバータ。

【請求項6】 前記可変抵抗回路は、抵抗とホトトランジスタの直列回路であり、

前記比例的に制御する手段は、

前記出力整流平滑回路の出力電圧を検出する電圧検出手段と、

基準電圧源と、

前記電圧検出手段で検出された検出電圧と前記基準電圧源の電圧との差に対応する信号を形成する誤差信号形成手段と、

前記出力整流平滑回路の出力電圧に対して反比例的に変化する光出力が得られるように前記誤差信号形成手段に接続され且つ前記ホトトランジスタに光結合された発光ダイオードとから成ることを特徴とする請求項5記載のDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、正常時にはスイッチング素子を一定周波数のPWMパルスでオン・オフ制御し、過電流時にはオン幅制御した後にオフ幅可変による可変周波数の制御パルスでスイッチング素子をオン・オフ制御する形式のDC-DC（直流-直流）コンバータに関する。

【0002】

【従来の技術】DC-DCコンバータとして図1に示すものが知られている。このDC-DCコンバータは、整流平滑回路、電池等から成る非安定の直流電源1の電圧をオン・オフするためのスイッチング素子2と、スイッチング素子2でオン・オフした電圧を出力するためのトランス3と、トランス3に接続された整流平滑回路4とから成る主回路を有し、出力端子5a、5b間に接続された負荷6に安定化した電力を供給する。

【0003】図1の回路を更に詳細に説明すると、変換回路を構成するトランス3の1次巻線7とMOSFETから成るスイッチング素子2との直列回路が電流検出手段としての抵抗8を介して直流電源1の一端と他端との間に接続されている。トランス3の2次巻線9と出力端子5a、5bとの間に接続された整流平滑回路4は、第1及び第2のダイオード10、11とリアクトル12とコンデンサ13とから成る。第1のダイオード10は2次巻線9の一端に接続され、リアクトル12は第1のダイオード10と出力端子5aとの間に直列に接続され、平滑用コンデンサ13はリアクトル12の出力側において出力端子5a、5b間に接続され、第2のダイオード11はリアクトル12とコンデンサ13とに対して並列に接続されている。

【0004】スイッチング素子2に並列に周知の部分共振用コンデンサ14が接続されている。このコンデンサ14はスイッチング素子2のターンオフ時におけるスイ

スイッチング素子2の電圧が急激に立上ることを防止し、電力損失及びノイズの低減を図るものである。なお、スイッチング素子2はソースがサブストレート（チャネル形成領域）に接続された絶縁ゲート型（MOS型）電界効果トランジスタであるので、ソース・ドレイン間にダイオード15を内蔵している。

【0005】出力端子5a、5b間の電圧を一定に制御し、且つ過電流保護を行うために、電圧制御信号形成回路16、制御回路17、抵抗18、及びコンデンサ19が設けられている。電圧制御信号形成回路16は、出力端子5a、5b間に接続された電圧検出抵抗20、21と、基準電圧源22と、誤差増幅器23と、発光ダイオード24と、フォトトランジスタ25とから成る。誤差増幅器23の一方の入力端子（正入力端子）は抵抗20、21の分圧点に接続され、他方の入力端子（負入力端子）は基準電圧源22に接続されている。発光ダイオード24は誤差増幅器23の出力端子とコンバータのグランド側出力端子5bとの間に接続されている。従って、発光ダイオード24はコンバータの出力電圧に対応して発光する。フォトトランジスタ25は発光ダイオード24に光結合されているので、その抵抗値はコンバータ出力電圧及び発光ダイオード24の光出力に対して反比例的に変化する。

【0006】制御回路17は例えば三菱電機株式会社の集積回路M51995Pを使用して構成することができる回路であって、帰還端子FB、電流制御用端子CLM、グランド端子GND、PWM出力帰還端子VF、PWMパルス（スイッチ制御パルス）出力端子Vout等を有している。制御回路17は実際には更に多くの端子を有しているが、図1では省略されている。フォトトランジスタ25は帰還端子FBとグランドとの間に接続されている。電流制限用端子CLMは電流検出抵抗8の一端に接続されている。グランド端子GNDは直流電源1のグランド側端子に接続されている。PWMパルス出力端子Voutはスイッチング素子2の制御端子（ゲート）に接続されている。抵抗18とコンデンサ19との直列回路はPWMパルス出力端子Voutとグランドとの間に接続され、抵抗18とコンデンサ19との接続点26がPWM出力帰還端子VFに接続されている。

【0007】図2は図1の制御回路17を模式的又は概念的に示す。定電圧制御時のPWMパルスの後縁を決定するための第1の比較器27は、一方（正）の入力端子と他方（負）の入力端子と出力端子とを有し、出力端子はPWMパルスを形成するラッチ回路28のリセット端子Rに接続されている。比較器27の正入力端子とグランドとの間には三角波発生用コンデンサ29が接続され、負入力端子は帰還端子FBに接続されている。帰還端子FBはプルアップ抵抗30を介して電源端子+Vccに接続されているので、+Vccの電源電圧を図1のホトトランジスタ25と抵抗30とで分割した電圧Vaが第

1の比較器27の負入力端子の電圧となる。また、比較器27は図3（A）及び図4（A）に示すように正入力端子の三角波電圧Vcと負入力端子のホトトランジスタ25に基づく電圧制御電圧Vaとを比較し、図3（B）及び図4（B）に示すように正入力端子の三角波電圧Vcが負入力端子の電圧Vaよりも高い期間に高レベルのパルスを発生する。これにより、図3（C）に示すPWMパルスの後縁が決定され、定電圧制御するようにオン幅が制御されたPWMパルスを得ることが可能になる。

【0008】図3は正常時の図2の各部の状態を示し、図4は異常時即ち過電流時の図2の各部の状態を示す。コンデンサ29の充放電によって三角波電圧Vcを得るために、コンデンサ29の一端は充電用スイッチ31と定電流源回路32を介して電源端子+Vccに接続され、コンデンサ29の他端はグランドに接続され、またコンデンサ29に並列に放電用スイッチ33を介して可変抵抗素子としてのトランジスタ34が接続され、更にスイッチ31、33のオン・オフ制御回路35が設けられている。オン・オフ制御回路35は、三角波下限検出比較器36と、三角波上限検出比較器37と、下限基準電圧V1を発生する下限基準電圧源38と、上限基準電圧源V2を発生する上限基準電圧源39と、フリップフロップ40とから成る。下限検出比較器36の負入力端子及び上限検出比較器37の正入力端子は三角波発生コンデンサ29の一端に接続されている。下限検出比較器36の正入力端子は下限基準電圧源38に接続され、上限検出比較器37の負入力端子は上限基準電圧源39に接続されている。従って、図3（A）及び図4（A）のt0時点で三角波電圧Vcが下限基準電圧V1に達すると、下限検出比較器36の出力は図3（D）及び図4（D）に示すように高レベルになり、フリップフロップ40がセットされ、このQ出力が図3（F）及び図4（F）に示すように高レベルになる。また、図3（A）及び図4（A）の三角波電圧Vcがt2時点で上限基準電圧V2に達すると、上限検出比較器37から図3（E）及び図4（E）に示すように高レベルのパルスが発生し、フリップフロップ40のリセット端子Rに入力し、フリップフロップ40の出力は図3（F）及び図4（F）に示すようにt2時点で低レベルに戻る。フリップフロップ40はt4時点で再びセット状態になる。

【0009】図3（F）及び図4（F）のフリップフロップ40の出力を充放電制御信号として使用するために、フリップフロップ40の出力端子は充電用スイッチ31の制御端子に接続され、またNOT回路41を介して放電用スイッチ33の制御端子に接続されている。従って、図3（F）及び図4（F）のフリップフロップ40の出力が高レベルの期間t0～t2に充電用スイッチ31がオンになり、コンデンサ29が充電され、またフリップフロップ40の出力が低レベルの期間（t2～t4）に放電用スイッチ33がオンになり、コンデンサ2

9の電荷がトランジスタ34を介して放電される。なお、NOT回路41を省いてフリップフロップの位相反転出力（負出力）で放電用スイッチ33を制御することができる。

【0010】ラッチ回路28によるPWMパルス（スイッチ制御パルス）の形成は、正常時と異常時で異なる。正常時には、図3（C）から明らかなように $t_0 \sim t_1$ 期間でパルスを発生する。このパルスを形成するためにラッチ回路28のセット端子Sは下限検出比較器35の出力端子に接続され、リセット端子RはOR回路を形成するダイオードD1を介してオン幅制御比較器27の出力端子に接続されている。この結果、正常時にはラッチ回路28が図3（D）の比較器36の出力を $t_0$ 時点で保持し、図3（B）に示す比較器27の出力パルスの前縁 $t_1$ でリセットされ、図3（C）に示すPWMパルスが得られる。ラッチ回路28の出力端子は駆動回路52を介してPWMパルス出力端子Voutに接続されている。出力端子Voutは図1に示すようにスイッチング素子2の制御端子（ゲート）に接続されているので、スイッチング素子2の制御端子には図3（C）又は図4

（C）に示すPWMパルスの発生期間に対応して実質的に一定の電圧が印加される。

【0011】過電流時即ち異常時の制御を行うために、過電流検出比較器42、過電流検出用基準電圧源43、PWMパルス平均値検出用比較器44、PWMパルス平均値検出用基準電圧源45、ANDゲート46、リセット信号形成回路47、フリップフロップ48、スイッチ49、及び増幅器50が設けられている。過電流検出比較器42の正入力端子は電流検出端子CLMに接続され、その負入力端子は0.2Vの過電流検出用基準電圧源43に接続されている。図1の電流検出抵抗8からはスイッチング素子2のオン期間（例えば $t_0 \sim t_1$ 、又は $t_0 \sim t_1'$ ）に対応して図3（G）又は図4（G）に示す電流検出電圧が得られる。即ち、トランス3の1次巻線7はインダクタンス成分を有するので、スイッチング素子2の電流は時間と共に傾斜を有して増大する。正常時には、図3（G）に示すように電流検出電圧が基準電圧源43の電圧値0.2Vに達しないために図3

（H）に示すように過電流検出比較器42の出力は低レベル（0ボルト）に保たれる。一方、異常状態即ち負荷6の短絡等による過電流状態の時には図4（G）に示すように電流検出電圧は0.2Vの基準電圧に達するので、過電流検出比較器42から図4（H）に示すように $t_1'$ 、 $t_5$ 等で高レベル出力が得られる。なお、負荷6に流れる電流はリアクトル12の働きによって連続した波形を有するものとなるが、この負荷電流は電流検出抵抗8に流れる電流に対応して変化するので、電流検出抵抗は等価的に負荷電流を検出していることになる。過電流検出比較器42の出力端子はOR回路を構成するダイオードD2を介してラッチ回路28のリセット端子R

に接続されている。この結果、図4（H）に示すように $t_1'$ で過電流検出パルスが発生すると、これによってラッチ回路28がリセットされ、図4（C）のラッチ回路28の出力即ちPWMパルスは低レベルになる。負荷7が短絡状態になると、出力電圧が低下するために定電圧制御系はPWMパルスの幅を広げるような動作になり、図4（A）の電圧制御信号Vaのレベルが高くなり、オン幅制御用比較器27の立上り時点 $t_1$ は図3（A）の $t_1$ 時点よりも遅れるが、ラッチ回路28は図4（B）の比較器27の出力に実質的に無関係になり、図4（H）の過電流検出パルスにตอบสนองして $t_1'$ 時点でリセットされ、 $t_0 \sim t_1'$ において幅の狭いパルスを発生する。従って、過電流時には、出力電圧が低いにも拘らず、PWMパルスの幅が狭められ、過電流からスイッチング素子2及び負荷6等が保護される。

【0012】図2の制御回路17は、過電流状態が発生したら、まずPWMパルスの幅を狭め、しかる後PWMパルスの幅が所定値以下になったらPWMパルス（スイッチ制御パルス）の繰返し周波数を下げるように構成されている。PWMパルスの周波数を下げる制御を実行するために設けられたPWMパルス平均値検出比較器44の一方（負）の入力端子はPWMパルス平均値帰還端子VFに接続され、他方（正）の入力端子は3Vの基準電圧源45に接続されている。正常時にはPWMパルスの幅がさほど狭くならないので、この平均値が基準電圧源45の電圧（3V）よりも高い値に保たれ、比較器44の出力は図3（I）に示すように低レベル（0V）である。他方、過電流時にはPWMパルスの幅が図4（C）に示すように制限されるので、PWMパルスの平均値が低下し、基準電圧源45の電圧（3V）以下になることがある。もし、PWMパルスの平均値が3V以下になると、比較器44の出力は図4（I）に示すように高レベルとなり、これがANDゲート46に入力する。この結果、図4（H）に示す過電流検出比較器42の出力パルスがANDゲート46を通過してフリップフロップ48のセット端子Sに入力する。これにより、フリップフロップ48は、過電流が検出されていると同時にPWMパルスの平均値が所定値以下の時にのみセット状態（第1の状態）となり、この出力端子Qから図4（J）に示す高レベル出力が得られる。なお、過電流が検出されていない時及び過電流が検出されてもPWMパルスの平均値が所定値よりも高い時には、図3（J）に示すようにフリップフロップ48の出力は低レベル（0V）である。フリップフロップ48のリセット端子Rにはリセット回路47が接続されている。このリセット回路47は例えばNOT回路を用いて構成することができ、PWMパルス平均値検出比較器44の出力が高レベルから低レベルに転換した時又は正常動作開始時に同期してリセット信号を発生する。フリップフロップ48の出力端子はスイッチ49の制御端子に接続されている。スイッチ49は

接点a、bを有し、接点aはフリップフロップ48の出力が低レベルの時即ち正常時にオンに保持され、接点bはフリップフロップ48の出力が高レベルの時即ち異常時にオンになる。接点aには固定の基準電圧源51が接続されているので、接点aがオンしている正常時にはトランジスタ34のベースに固定の基準電圧が抵抗53を介して印加される。従って、正常時のコンデンサ29の放電時定数は一定である。正常時には充電時定数（充電速度）と放電時定数（放電速度）とが一定であるので、図3（A）に示すように一定の周期で三角波電圧Vcが発生する。スイッチ49の接点bは増幅器50を介してPWMパルス平均値帰還端子VFに接続されている。従って、異常時には、PWMパルス平均値に対して反比例的關係を有するベース電流がトランジスタ34に流れ、PWMパルスの平均値が低くなると、トランジスタ34のベース電流も低下し、トランジスタ34の抵抗値が高くなり、コンデンサ29の放電時定数が大きくなり、図4（A）に示すコンデンサ29の電圧Vcの放電区間t2～t4の傾きが緩くなり、PWMパルス即ちスイッチ制御パルスの周波数が低下する。異常時におけるコンデンサ29の放電電流はPWMパルス（スイッチ制御パルス）の平均値の変化に応じて変化する。過電流時にスイッチ制御パルスの周波数を低下させると、PWMパルスの幅を極端に狭くすることが不要になり、過電流保護を確実に達成することができる。即ち、PWMパルスの周波数が高い状態ではPWMパルスの幅を極端に狭くすることに限界があり、過電流保護を確実に達成することが不可能になることがあるが、周波数を低下させるとPWMパルスの幅の制限が緩和され、過電流保護が容易になる。なお、本願ではオフ幅を制御したパルス列（スイッチ制御パルス）もPWMパルスと呼ぶことにする。

#### 【0013】

【発明が解決しようとする課題】ところで、図1及び図2に示すDC-DCコンバータにおいて、電源1の電圧Vinが変化すると、PWMパルスの平均値が同じでも負荷電流が相違し、過電流時にパルス幅制御から周波数制御に移行するポイントが変化し、過電流保護を十分に達成することが不可能又は困難になる。以下、これを詳しく説明する。直流電源1の電圧即ち入力電圧Vinが変化すると、周波数制御に移行する時点の負荷電流Ioが変化することがある。図5はこれを説明するためのものであり、横軸に負荷電流Io、縦軸に出力電圧Voが示されている。負荷電流Io1までは図3に示す正常時のPWM制御が行われ、一定の出力電圧が得られる。しかし、負荷電流がIo1になると、過電流検出比較器42から過電流検出出力が得られるためにPWMパルスの幅が狭められ、出力電圧Voは図5のa点からb点に低下する。今、PWMパルスの平均値がb点で3V以下になると、比較器44の出力が高レベルになり、周波数制御が開始され、過電流保護がより確実に達成され、電圧及び電流

はc点に移行し、電流がIo2に抑制される。しかし、部品等のバラツキにより垂下特性がa点からd点に至るような特性に変化することがあり、この時にはPWMパルスの平均値が3Vになる点が低くなり、例えばd点となる。このため周波数制御がd点から開始され、垂下特性線は、a点、d点、e点を結ぶものとなる。この場合、a点からd点までは周波数一定のパルス幅制御による過電流抑制であり、d点からe点までは周波数可変の過電流抑制である。これから明らかなように負荷電流はIo3まで流れ、特に入力電圧Vinが低い時にはd点が更に下り、大きな負荷電流が流れ、スイッチング素子2の破壊等が生じる可能性がある。

【0014】そこで、本発明の目的は、過電流時にまず制御パルスの幅を狭め、その後に制御パルスの周波数を制御する方式のDC-DCコンバータにおいて、入力電圧の変動に基づく周波数制御への移行時点の変化を少なくすることにある。

#### 【0015】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、直流電源と、制御パルスにตอบสนองして前記直流電源の直流電圧を断続するためのスイッチング素子を含む変換回路と、前記スイッチング素子の断続に基づいて得られた電圧を整流平滑するための出力整流平滑回路と、前記出力整流平滑回路の出力電圧又はこの出力電圧に対応している電圧を検出して出力電圧制御信号を形成する出力電圧制御信号形成回路と、前記スイッチング素子の電流又は前記出力整流平滑回路に接続された負荷の電流を検出する電流検出手段と、過電流レベルを示す過電流検出用基準電圧を発生する過電流検出用基準電圧源と、前記過電流検出用基準電圧と前記電流検出手段から得られた電流検出電圧とを比較し、前記電流検出電圧が前記過電流検出用基準電圧以上になったか否かを示す出力を発生する過電流検出比較器と、前記スイッチング素子をオン・オフするために前記スイッチング素子の制御端子に供給する制御パルスの平均値を求めるために前記制御パルスの伝送ラインとグランドとの間に抵抗を介して接続された平均値用コンデンサと、前記制御パルスの平均値の所定レベルを示す平均値レベル検出用基準電圧を発生する平均値レベル検出用基準電圧源と、前記平均値用コンデンサから得られた平均値と前記平均値レベル検出用基準電圧とを比較し、前記平均値が前記平均値レベル検出用基準電圧以下になったか否かを示す出力を発生する平均値検出比較器と、前記過電流検出比較器から過電流を示す出力が発生していない時には、前記出力電圧制御信号形成回路から得られた前記出力電圧制御信号にตอบสนองして前記出力電圧を一定に制御するための実質的に一定周波数のPWMパルスから成る制御パルスを形成して前記スイッチング素子をオン・オフ制御し、前記過電流検出器から過電流を示す出力が発生した時には、前記電流検出電圧が前記過電流検出



用基準電圧よりも高くなることを制限するように前記制御パルスの幅を制御し、前記過電流検出器から過電流を示す出力が得られ且つ前記平均値検出比較器から前記平均値が前記平均値レベル検出用基準電圧以下であることを示す出力が得られた時には、前記平均値に基づいて前記制御パルスの相互間隔を制御するように構成された制御パルス発生手段とを備えたDC-DCコンバータにおいて、前記直流電源の一端と前記平均値用コンデンサとの間に平均値補正用抵抗が接続されていることを特徴とするDC-DCコンバータに係わるものである。なお、請求項2に示すように、平均値補正用抵抗にツェナーダイオードを直列に接続することが望ましい。また、請求項3に示すように、スイッチング素子をトランスの1次巻線に直列に接続し、2次巻線に出力整流平滑回路を接続したDC-DCコンバータにおいて、3次巻線を設け、3次巻線の電圧を整流平滑し、これを抵抗を介して平均値用コンデンサに加えることができる。また、請求項4に示すように請求項3の抵抗に直列にツェナーダイオードを接続することが望ましい。また、請求項5及び6に示す平均値用コンデンサに可変抵抗回路を接続し、出力電圧に基づいて抵抗値を制御することができる。

#### 【0016】

【発明の作用及び効果】各請求項の発明によれば、直流電源の電圧の変化に応じて平均値用コンデンサの電圧即ち制御パルスの平均値が補正される。即ち、電源電圧（入力電圧）が高くなるに従って制御パルスの幅が狭くなり、制御パルスの平均値が低下するが、本発明に従って電源電圧又はこれに対応して変化する電圧によって平均値用コンデンサの電圧を補正すると、電源電圧の変化に基づく平均値の変化幅が狭くなり、制御パルスの周波数制御への切換点を安定化させることができ、スイッチング素子等を破壊させるレベルまで電流が増大することを防ぐことができる。また、請求項2又は4のようにツェナーダイオードを設けると電源電圧の所定値以上の範囲においてのみ補正を行うことができる。

#### 【0017】

【第1の実施例】次に、図6及び図7を参照して第1の実施例のDC-DCコンバータを説明する。但し、図6及び後述する第2及び第3の実施例を示す図8及び図9において図1と実質的に同一の部分には同一の符号を付してその説明を省略する。図6のDC-DCコンバータは、図1のDC-DCコンバータにツェナーダイオード60と抵抗61とを付加した他は図1と同一に構成したものである。ツェナーダイオード60と抵抗61との直列回路は、直流電源1と平均値用コンデンサ19との間に接続されている。ツェナーダイオード60は電源電圧1が所定値 $V_z$ 以上になった時に導通する。図6の制御回路17は図2と同様に構成されている。

【0018】図6のDC-DCコンバータの正常時における制御動作は図1のDC-DCコンバータと同一であ

る。また、過電流時におけるPWMパルスのオン幅の制限動作及びその後の制御パルス（PWMパルス）の可変周波数動作も図1のDC-DCコンバータと同一である。図6のDC-DCコンバータにおいて図1のDC-DCコンバータと異なる点は平均値用コンデンサ19の電圧 $V_f$ と電源電圧 $V_{in}$ との関係が補正されることである。即ち、図6においては平均値用コンデンサ19が制御回路17のPWMパルス出力端子 $V_{out}$ の電圧で充電されるのみでなく、ツェナーダイオード60が導通した時には電源電圧 $V_{in}$ からツェナーダイオード60の電圧 $V_z$ を差し引いた電圧によっても充電される。図7はこれを説明するためのものであって、横軸に電源電圧 $V_{in}$ 、縦軸にコンデンサ19の電圧 $V_f$ が示されている。この図7の特性線Aは図6からツェナーダイオード60及び抵抗61から成る充電回路を省いた場合のコンデンサ19の電圧 $V_f$ の変化を示し、特性線Bは図6から抵抗18による充電回路を省いた場合のコンデンサ19の電圧 $V_f$ の変化を示し、破線で示す特性線Cは図6の抵抗18の充電回路とツェナーダイオード60及び抵抗61の充電回路との両方を有する場合のコンデンサ19の電圧 $V_f$ の変化を示す。これから明らかなように特性線Aにおいては、電源電圧 $V_{in}$ が高くなるに従ってPWMパルスの幅が狭くなり、PWMパルスの平均値即ちコンデンサ19の電圧 $V_f$ も低下する。一方、特性線Bにおいては、電源電圧 $V_{in}$ が高くなるに従ってコンデンサ19に対する印加電圧が高くなる。特性線Cにおいては、2つの充電回路でコンデンサ19が充電されるためコンデンサ19の電圧は特性線Aの電圧と特性線Bの電圧との和になる。従って、制御回路17の平均値帰還端子 $V_F$ には特性線Bに従う電圧でバイアスされたPWMパルスの平均値が入力する。特性線Cは電源電圧 $V_{in}$ の変化に拘らずほぼ一定である。従って、電源電圧 $V_{in}$ の変動によるPWMパルス平均値の変動を補償してPWMパルスの平均値が図2の基準電圧源45の所定基準電圧（3V）に達したか否かを比較器44で判定することが可能になる。本実施例は、特に循環電流を有する共振回路において、1次側のスイッチング比率が変化しにくい場合に有効である。

#### 【0019】

【第2の実施例】図8に示す第2の実施例のDC-DCコンバータは、トランス3に1次及び2次巻線7、9に電磁結合された3次巻線62と、この3次巻線62の電圧を整流するダイオード63と、平滑用コンデンサ64とを設け、第1の実施例と同様な働きを有するツェナーダイオード60及び抵抗61の直列回路を平滑用コンデンサ64と平均値用コンデンサ19との間に接続し、この他は図1と同様に構成したものである。3次巻線62には直流電源1の電圧 $V_{in}$ に比例した電圧が得られるので、平均値用コンデンサ19の電圧 $V_f$ が第1の実施例と同様に補正される。従って、第2の実施例は第1の実

施例と同一の作用効果を有する。

#### 【0020】

【第3の実施例】図9に示す第3の実施例のDC-DCコンバータは、図1の回路に抵抗70、ホトトランジスタ71、電圧検出用抵抗72、73、基準電圧源74、誤差増幅器75及び発光ダイオード76を付加した他は図1と同一に構成したものである。図9において抵抗70とホトトランジスタ71の直列回路は平均値用コンデンサ19に並列に接続されている。電圧検出用抵抗72、73は出力端子5a、5b間に接続されている。誤差増幅器75の一方の入力端子は抵抗72、73の分圧点に接続され、他方の入力端子は基準電圧源74に接続されている。発光ダイオード76は誤差増幅器75の出力端子と一方の出力端子5bとの間に接続され且つホトトランジスタ71に光結合されている。

【0021】図9のDC-DCコンバータにおいては、誤差増幅器75から出力端子5a、5b、間の電圧に対して反比例的に変化する誤差信号が得られ、発光ダイオード76は誤差信号に対応した光出力を送出する。ホトトランジスタ71の抵抗値は発光ダイオード76の光出力に反比例的に変化する。従って、例えば、出力端子5a、5bの電圧が直流電源1の電圧 $V_{in}$ が高くなり、これに応じて出力端子5a、5bの電圧も高くなると、ホトトランジスタ71の抵抗も高くなり、平均値用コンデンサ19の電圧 $V_f$ も高くなる。従って、図9のDC-DCコンバータにおいても、第1及び第2の実施例と同様に電源電圧 $V_{in}$ の変化に対応するようにコンデンサ19の電圧 $V_f$ を補正し、第1及び第2の実施例と同一の作用効果を得ることができる。

#### 【0022】

【変形例】本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なものである。

(1) 図6、図8及び図9の制御回路17は、図2に概略的又は模式的に示すように構成されているが、図2の回路以外の回路に変形することができる。例えば、スイッチ31、33、49を半導体スイッチにすること、放電用トランジスタ34の代りに複数のトランジスタと抵抗との組み合わせによる放電電流制御回路とすること、ANDゲート46をスイッチに置き換えること、フリップフロップ40、48及びラッチ回路28の代りに、Dタイプのフリップフロップ等を使用した回路を設けること、比較器27とラッチ回路28の組み合わせによってPWMパルスを形成しないで、比較器27で三角波と誤差信号(帰還信号)とを比較してPWMパルスを形成すること等が可能である。比較器27でPWMパルスを形成する時には、図3(B)の比較器27の出力の位相反転

信号を電圧制御用PWMパルスとし、過電流保護のための制御パルス形成回路は別に設け、電圧制御のためのPWMパルスと過電流保護のためのパルスを切換えてスイッチング素子2に送る。

(2) 出力整流平滑回路4のダイオード11とリアクトル12とを省き、且つ2次巻線9の極性を図6、図8、図9と逆にしてリバースタイプ即ちフライバックタイプのDC-DCコンバータとすることができる。

(3) 出力電圧を出力端子5a、5bで直接に検出しないで、出力端子5a、5bの電圧に対応して電圧が得られる箇所で検出することができる。例えば、フライバックタイプのDC-DCコンバータの場合には図8の3次巻線62又はこれと同様なもので出力電圧を検出することができる。

(4) 図1において電流検出抵抗8は負荷6の電流に対応した電流を検出することができるが、この代わりに負荷6の電流を直接に検出することができる。

#### 【図面の簡単な説明】

【図1】従来のDC-DCコンバータを示す回路図である。

【図2】図1、図6、図8及び図9の制御回路を概略的に示す回路図である。

【図3】図1、図6、図8及び図9のDC-DCコンバータが正常に動作している時の図2の各部の状態を示す波形図である。

【図4】図1、図6、図8及び図9のDC-DCコンバータが過電流状態になった時の図2の各部の状態を示す波形図である。

【図5】図1のDC-DCコンバータの出力電流と出力電圧の関係を示す図である。

【図6】第1の実施例のDC-DCコンバータを示す回路図である。

【図7】図6のDC-DCコンバータにおける電源電圧と平均値用コンデンサの電圧との関係を示す図である。

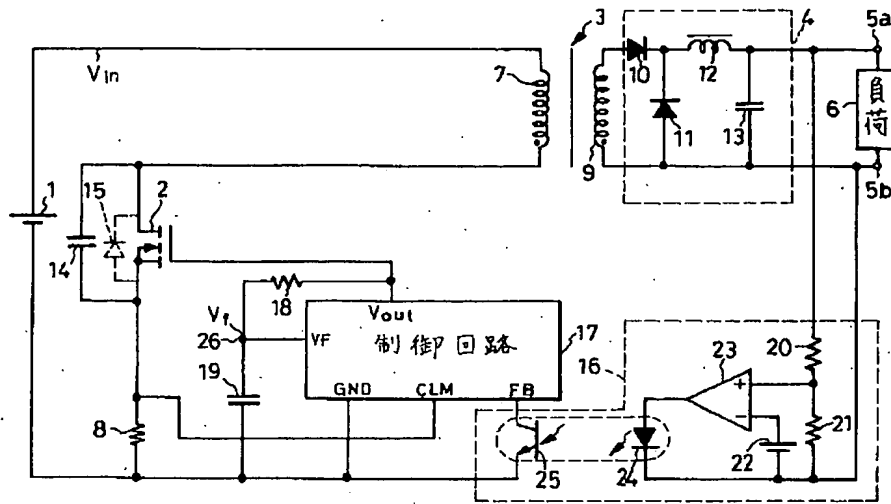
【図8】第2の実施例のDC-DCコンバータを示す回路図である。

【図9】第3の実施例のDC-DCコンバータを示す回路図である。

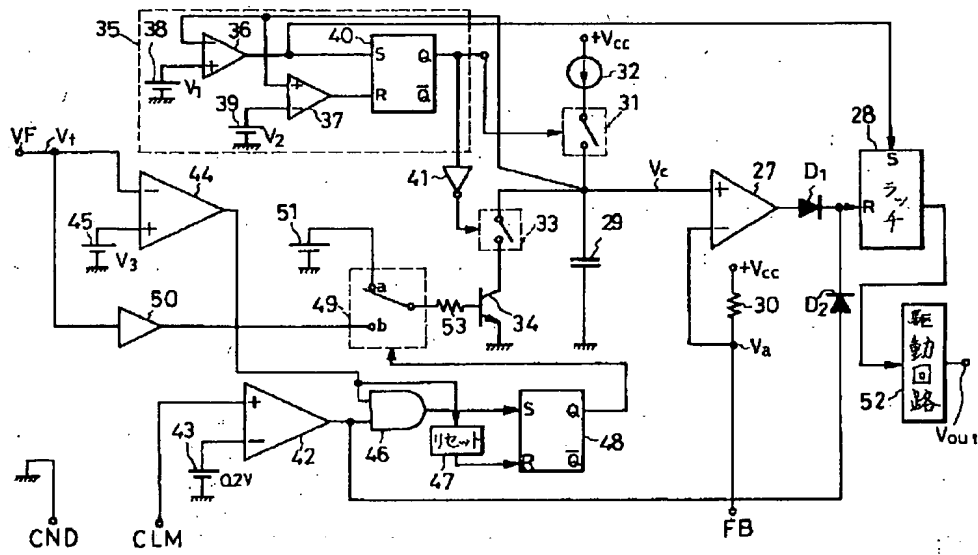
#### 【符号の説明】

- 1 直流電源
- 2 スwitching素子
- 17 制御回路
- 19 平均値用コンデンサ
- 60 ツェナーダイオード
- 61 補正用抵抗

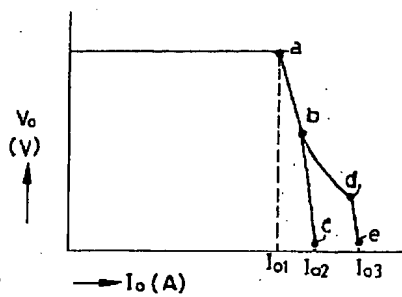
【図1】



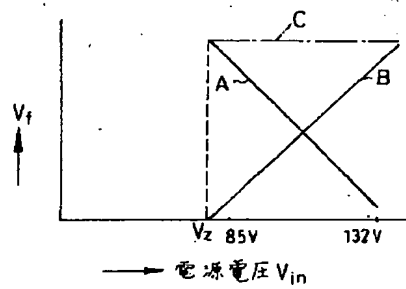
【図2】



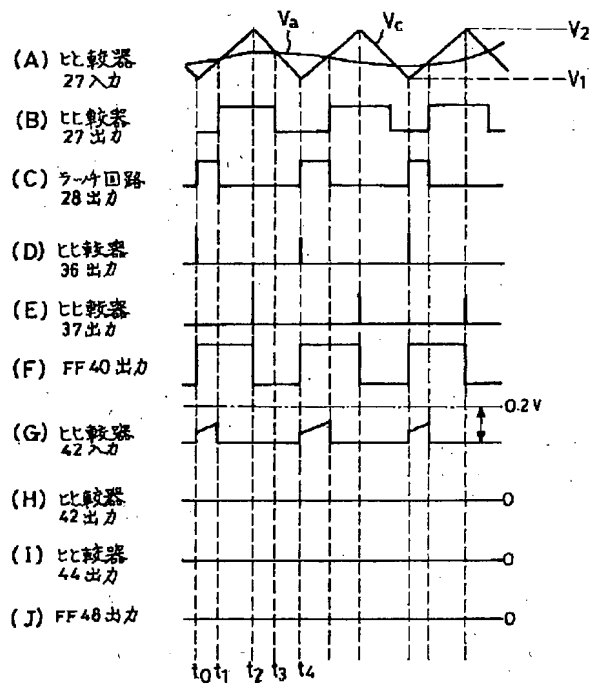
【図5】



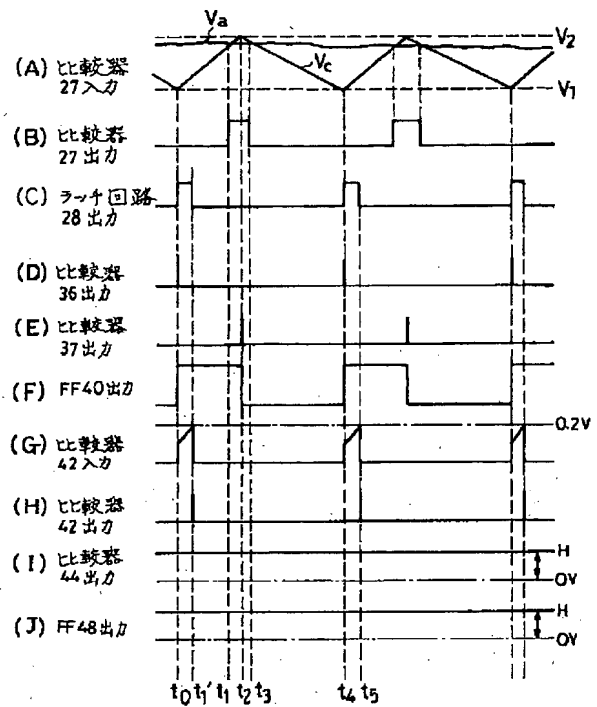
【図7】



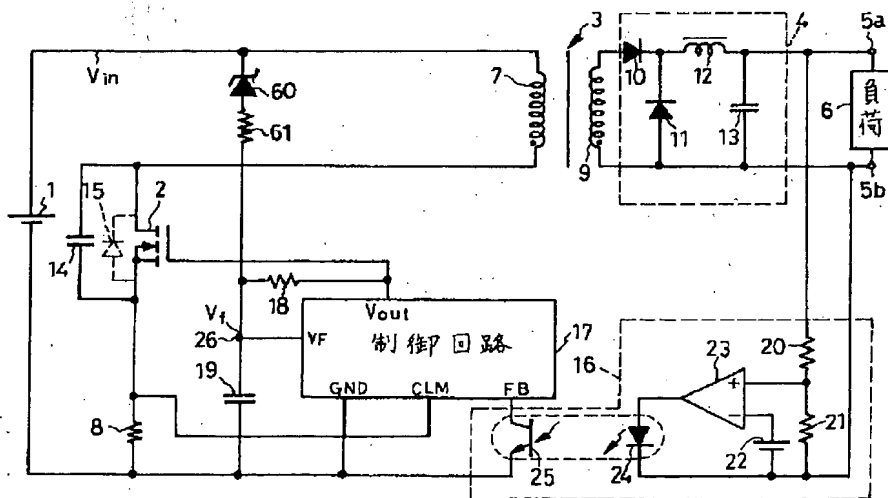
【図3】



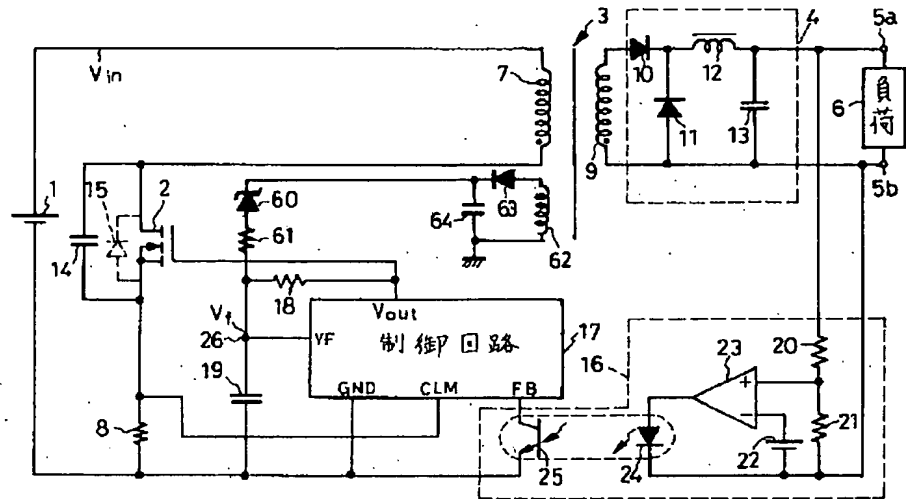
【図4】



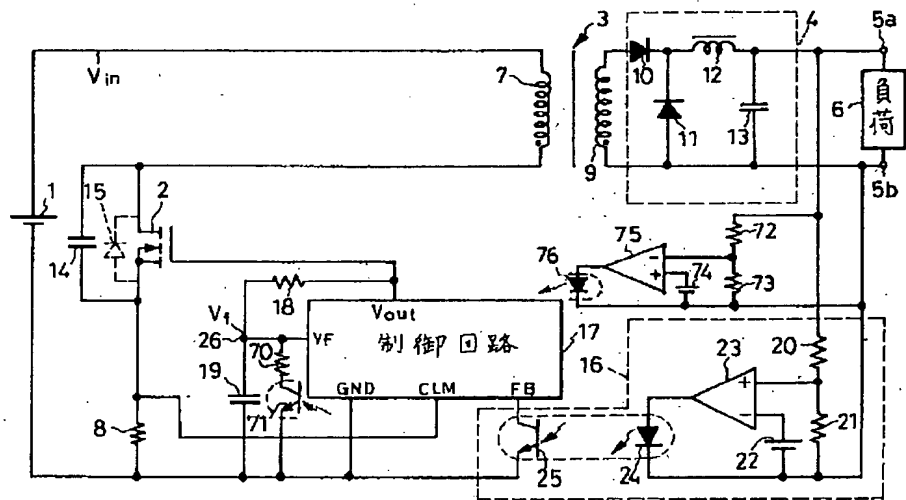
【図6】



【図8】



【図9】



**THIS PAGE BLANK (USPTO)**